

PAT-NO: JP405204494A  
DOCUMENT-IDENTIFIER: JP 05204494 A  
TITLE: MEMORY DEVICE  
PUBN-DATE: August 13, 1993

INVENTOR-INFORMATION:

NAME  
IKEDA, MASAOKI  
SHINOHARA, HISATO

ASSIGNEE-INFORMATION:

NAME  
TDK CORP

COUNTRY  
N/A

APPL-NO: JP04034304  
APPL-DATE: January 24, 1992

INT-CL (IPC): G06F001/26, G11C005/00 , G11C005/14 ,  
H02J001/00

ABSTRACT:

PURPOSE: To prolong the using time of a device by the part of power generation of a solar battery and to make the capacitance of a memory large without expanding the capacitance of the device by supplying power for holding the memory by the solar battery and a secondary battery or a capacitor housed in an empty space.

CONSTITUTION: A memory part 5 and a display part 6 are housed inside of a cover object 2. In the memory part 5, the solar battery 11 of amorphous silicon is formed at the surface of the one side of an

insulating substrate 8  
made from heat-registing glass, etc., a memory circuit 10  
consisting of a thin  
film transistor is formed at the surface of the one side of  
an insulating  
substrate 9, the other sides of the insulating substrates 8  
and 9 are disposed  
by distantly facing each other and the empty space 7 is  
formed. In the empty  
space 7, the secondary battery 43 to store the generated  
power of the solar  
battery circuit 11 is mounted at a memory circuit 12 and  
conductive members 44  
and 45 are provided so as to supply power from the solar  
battery 11 for the  
memory circuit 12 and the secondary battery 43.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-204494

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	FI	技術表示箇所
G 0 6 F 1/26				
G 1 1 C 5/00	Z	6628-5L		
5/14		8724-5L		
		7165-5B	G 0 6 F 1/ 00	3 3 0 B
		7165-5B		3 3 0 D

審査請求 未請求 請求項の数4(全 6 頁) 最終頁に続く

(21)出願番号 特願平4-34304

(22)出願日 平成4年(1992)1月24日

(71)出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(72)発明者 池田 正明

東京都中央区日本橋一丁目13番1号ティー  
ディーケイ株式会社内

(72)発明者 篠原 久人

東京都中央区日本橋一丁目13番1号ティー  
ディーケイ株式会社内

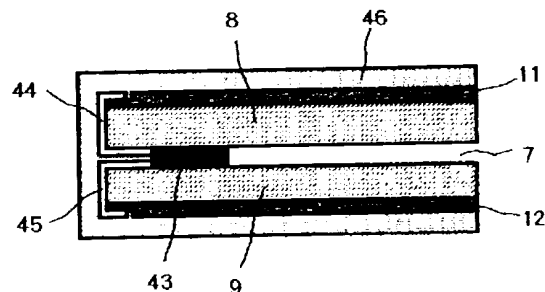
(74)代理人 弁理士 南條 眞一郎

(54)【発明の名称】 メモリ装置

(57)【要約】

【目的】 携帯用のパーソナルコンピュータ等において省電力化と装置の省スペース化を図る。

【構成】 第1の絶縁基板の一方の面に太陽電池回路を形成し、第2の絶縁基板の一方の面に薄膜トランジスタにより構成されたメモリ回路を形成し、これらの絶縁基板の他方の面同士を対向させて離間して配設し、メモリ回路に太陽電池回路から電力を供給する。また、絶縁基板の他方の面同士を対向させて離間して配設することにより形成された空所に、太陽電池の発電電力を貯蔵する2次電池あるいはキャパシタを収納する。



## 【特許請求の範囲】

【請求項1】 一方の面に太陽電池回路が形成された第1の絶縁基板と、一方の面に薄膜トランジスタメモリ回路が形成された第2の絶縁基板とからなり、前記第1の絶縁基板の他方の面と前記第2の絶縁基板の他方の面とが対向して離間して配設され、前記第1の基板に形成された太陽電池回路から前記第2の基板に形成されたメモリ回路に電力を供給することを特徴とするメモリ装置。

【請求項2】 第1の絶縁基板の他方の面と前記第2の絶縁基板の他方の面とが対向して離間して配設された空所に、太陽電池の発電電力を貯蔵する2次電池を備えていることを特徴とする請求項1記載のメモリ装置。

【請求項3】 第1の絶縁基板の他方の面と前記第2の絶縁基板の他方の面とが対向して離間して配設された空所に、太陽電池の発電電力を貯蔵するキャパシタを備えていることを特徴とする請求項1記載のメモリ装置。

【請求項4】 メモリ回路が複数のブロックに分割されて形成されていることを特徴とする請求項1、請求項2又は請求項3記載のメモリ装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、携帯用のパーソナル・コンピュータあるいはワード・プロセッサ等に用いられるメモリ装置に関するものである。

## 【0002】

【従来の技術】近年の急速なパーソナル・コンピュータの普及の中で、携帯に適した小型のパーソナル・コンピュータあるいはワード・プロセッサが急速に普及しつつあり、特に外形が一般のビジネス文書と同じA4型の大きさであるノート型と呼ばれるパーソナル・コンピュータは携帯が小型軽量である上に価格が低廉であるということから人気がある。

【0003】一方、最近ではパーソナル・コンピュータに対する要望がますます高度化し、ノート型の装置に対しても、メモリの大容量化、液晶表示装置用バック・ライトの採用、ハード・ディスク・ドライブの内蔵等の要望があり、消費電力は増大する傾向にある。

【0004】しかし、携帯用のパーソナル・コンピュータ等は、携行時は電池によって駆動されるため、使用する電池の容量によって使用時間が制限される。したがって、より長時間の使用を可能にするためには大容量の電池を使用すればよいが、電池は蓄えることのできる電力量と容積及び重量とが比例するため、限られた容積・重量内で十分な容量の電池を得ることは困難であり、大容量の電池を採用すると小型・軽量との特長を損なうことになる。

【0005】また、メモリの大容量化が要望されているにもかかわらず、小型・軽量を要望される携帯用のパーソナル・コンピュータ等においては容積の問題から大容量のメモリを収納することは困難である。

## 【0006】

【発明が解決しようとする課題】本発明は、上記問題点すなわち携帯用のパーソナル・コンピュータ等において、容積・重量の点から駆動用電池の容量が不足であるという問題点と、容積の問題から大容量のメモリを収納することが困難であるという問題点をともに解決することを課題とするものである。

## 【0007】

【課題を解決するための手段】本願においては、上記課題を解決するために、一方の面に最近各種電子装置の電源として普及している太陽電池回路を形成した第1の絶縁基板と、一方の面に液晶表示装置の駆動回路等に用いられている薄膜トランジスタ(Thin Film Transistor)で構成されたメモリ回路を形成した第2の絶縁基板の他方の面同士を対向して離間して配設したものであり、すなわち「一方の面に太陽電池回路が形成された第1の絶縁基板と、一方の面に薄膜トランジスタメモリ回路が形成された第2の絶縁基板とからなり、第1の絶縁基板の他方の面と第2の絶縁基板の他方の面とが対向して離間して配設され、第1の基板に形成された太陽電池回路から第2の基板に形成されたメモリ回路に電力を供給することを特徴とするメモリ装置」との構成を有する発明を提供する。

## 【0008】

【動作】上記構成を有する本願発明のメモリ装置においては、第1の絶縁基板に形成された太陽電池回路から、第2の絶縁基板に形成された薄膜トランジスタメモリ回路に電力を供給する。

## 【0009】

【実施例】図面を参照して本発明の実施例を説明する。図1に示すのは、本願発明を適用したノート型パーソナル・コンピュータの外観斜視図であり、このノート型パーソナル・コンピュータは本体1と、本体1に回動可能に取り付けられた蓋体2と、蓋体を本体1に取り付ける取り付け部3から構成されている。本体1の内部には図示しないコンピュータ本体が収納されており、本体1の蓋体2に覆われた部分には同様に図示しないキーボードが取り付けられている。また、蓋体2の表面には太陽電池4が設けられている。

【0010】図2に示すのは、蓋体2の内部構成の概要図であり、この蓋体2の内部にはメモリ部5と表示部6が収納されている。メモリ部5は、耐熱ガラス等よりなる第1の絶縁基板8の一方の面に非晶質シリコンからなる太陽電池回路11が、第2の絶縁基板9の一方の面に薄膜トランジスタからなるメモリ回路10が各々形成され、第1の絶縁基板8の他方の面と第2の絶縁基板9の他方の面とが対向して離間して配設され空所7が形成されている。表示部6は、耐熱ガラス等よりなる絶縁基板10の一方の面に薄膜トランジスタからなる駆動回路13が、他方の面に液晶表示装置14が各々形成されて構

成されている。

【0011】図3～図6を用いて、メモリ部5の具体的構造を説明する。図5に示すのは、メモリ部5の部分概要図であって、耐熱ガラス等よりなる第1の絶縁基板8の一方の面に太陽電池回路11が、第2の絶縁基板9の一方の面にメモリ回路12が各々形成されており、これら第1の絶縁基板8及び第2の絶縁基板9の他方の面同士が対向して離間して配設され空所7が形成されている。

【0012】空所7にメモリ回路12側に太陽電池回路11の発電電力を貯蔵する2次電池43が取り付けられており、太陽電池11からの電力をメモリ回路12と2次電池43に供給するために導電部材44及び45が設けられている。

【0013】この2次電池43に代えてスーパーキャパシタ等の電気2重層コンデンサを使用することも可能である。また、メモリ部5を保護するために、保護コート46がメモリ部5の全体を覆って形成されている。

【0014】図3に示すのは、メモリ回路12を構成する薄膜トランジスタの構造図であって、この図に示す薄膜トランジスタは説明の都合上図1及び図2に記載したものに対して上下逆に記載してある。この薄膜トランジスタは、NチャンネルMOS (Metal Oxide Semiconductor) 21とPチャンネルMOS 22とを組み合わせたCMOS (Complementary MOS) 構成となっており、メモリセルはCMOSを用いたフリップフロップによるSRAMである。

【0015】結晶化ガラス等よりなる第2の絶縁基板9の一方の面上に非単結晶シリコン層が形成されており、この非単結晶シリコン層にN<sup>+</sup>層23、チャンネル25及びN<sup>+</sup>層24からなるNチャンネルアイランドと、P<sup>+</sup>層26、チャンネル28及びP<sup>+</sup>層27からなるPチャンネルアイランドが各々形成されている。

【0016】これらの各層及びチャンネルは、各々N<sup>+</sup>層23はN<sup>+</sup>ドレイン領域、チャンネル25はN<sup>+</sup>ゲート領域、N<sup>+</sup>層24はN<sup>+</sup>ソース領域、P<sup>+</sup>層26はP<sup>+</sup>ソース領域、チャンネル28はP<sup>+</sup>ゲート領域そしてP<sup>+</sup>層27はP<sup>+</sup>ドレイン領域として機能する。

【0017】各々のチャンネル25及び28の上には酸化シリコン (SiO<sub>2</sub>) からなるゲート酸化膜29及び30が各々形成されており、各々のゲート酸化膜29及び30の上には非単結晶シリコンからなるゲート電極31及び32が各々形成されている。

【0018】各々のゲート酸化膜及びゲート層を覆って酸化シリコンからなる層間絶縁膜33及び34が形成されており、また、各素子を分離するため、38及び39で示すようにゲート酸化膜と層間絶縁膜は素子の間にも積層されて配置されている。

【0019】これらの各層及びチャンネルは、各々N<sup>+</sup>層23はN<sup>+</sup>ドレイン領域、チャンネル25はN<sup>+</sup>ゲート

領域、N<sup>+</sup>層24はN<sup>+</sup>ソース領域、P<sup>+</sup>層26はP<sup>+</sup>ソース領域、チャンネル28はP<sup>+</sup>ゲート領域そしてP<sup>+</sup>層27はP<sup>+</sup>ドレイン領域として機能する。

【0020】このようにしてNチャンネルMOS 21とPチャンネルMOS 22が分離して形成され、各々N<sup>+</sup>ドレイン領域、N<sup>+</sup>ソース領域、P<sup>+</sup>ソース領域、P<sup>+</sup>ドレイン領域に電氣的接続を行うためにN<sup>+</sup>層23、24、P<sup>+</sup>層26、27上にアルミニウム層35、36及び37が形成されている。なお、CMOS構成とするためにPチャンネルMOSとNチャンネルMOSのドレイン電極は接続されている。

【0021】図4に示すのは、太陽電池回路11の構造図である。この太陽電池回路11は、pin非晶質シリコン太陽電池から構成されている。非単結晶ガラス等の第1の絶縁基板8の一方の面上にCr膜からなる第1電極40が形成されている。この第1電極40は、Ti、ITO (Indium-Tin Oxide)、SnO<sub>2</sub>、ステンレスチール等の単層膜あるいはAl/Ti、ITO/SnO<sub>2</sub>、Al/SnO<sub>2</sub>等からなる多層膜のいずれでもよい。

【0022】第1電極40上に、pin型非晶質シリコン層41が形成されている。このpin型非晶質シリコン層41は、厚さ10～100nmのn型非晶質シリコン層の上に厚さ50～10,000nmの非晶質シリコンi型層が積層され、さらにその上に厚さ5～50nmの非晶質シリコン炭素のp型層が積層されることにより構成されている。なお、p型シリコン層及びn型シリコン層に非晶質シリコンではなく微結晶シリコンあるいは微結晶シリコンと非晶質シリコンの混合層を用いてもよい。

【0023】pin非晶質シリコン層41上にSnO<sub>2</sub>等の透明導電材料からなる第2電極42が形成されており、隣接したpin非晶質シリコン層41を接続することにより太陽電池回路11が構成されている。この透明導電材料としてSnO<sub>2</sub>の他に、ITO、ZnOの単層膜あるいはそれぞれとの多層膜等が使用可能である。

【0024】太陽電池回路11はこのように構成されているが、見栄えを気にしないならば、単結晶シリコン太陽電池あるいは多結晶シリコン太陽電池を多数配列することにより構成してもよい。なお、図1に示した太陽電池4は48個の太陽電池セルから構成されており、この48個の太陽電池セルは24個ずつの2つのブロックに分割されている。

【0025】メモリ部5の具体例を説明する。A4ノートパーソナル・コンピュータの蓋の面積は10,000cm<sup>2</sup>/16=625cm<sup>2</sup>であるから、蓋体2の外形は略々21cm×30cmである。したがって、枠等の大きさを考慮すると、収納可能な絶縁基板7の面積は18cm×26cm=468cm<sup>2</sup>程度である。

【0026】初めに、メモリ回路12について説明するが、メモリセルを消費電力の小さいSRAMで構成した場合について説明する。1個の薄膜トランジスタの大き

さは $0.002\text{cm} \times 0.002\text{cm}$ であるので、4個のトランジスタを用いたCMOSフリップ・フロップ回路で構成されているSRAMのメモリセル1個の面積は $0.002\text{cm} \times 0.002\text{cm} \times 4 = 0.000016\text{cm}^2$ である。

【0027】したがって、 $468\text{cm}^2$ の面積を有する絶縁基板上に形成することが可能なメモリセルは、 $468\text{cm}^2 / 0.000016\text{cm}^2 = 29,250,000$ 個 (bit) であるから、全体のメモリ容量は $29,250,000\text{bit} / 8\text{bit} = 3,656,250\text{Byte}$ となる。

【0028】計算上はこのようになるが、メモリ回路にはメモリセルの他に付属回路あるいは取り付け用のスペースが必要となるので、実際に形成可能なメモリの容量は3MByte程度である。

【0029】次に、太陽電池回路11について説明する。太陽電池セル1個の平均的出力電圧は約 $0.65\text{V}$ であるから、この太陽電池における24個の太陽電池セルからなる各ブロックの出力電圧は $0.65\text{V} \times 24 = 15.6\text{V}$ である。

【0030】標準的な条件すなわち $AM1.5, 100\text{W/cm}^2$ における $10\text{cm} \times 10\text{cm}$ の太陽電池の出力は $0.6\text{W}$ 程度であるから、 $468\text{cm}^2$ の面積を有する本実施例太陽電池の出力は $0.6\text{W} \times 4.68 = 2.808\text{W}$ である。なお、そのときの出力電流は $2.808\text{W} / 15.6\text{V} = 0.18\text{A}$ である。

【0031】次に、メモリ部5の製造方法について説明するが、初めにメモリ回路12の製造方法について説明する。前に述べたように、本実施例におけるメモリ回路12は、薄膜トランジスタによって構成されている。

【0032】第1の絶縁基板7として、 $600^\circ\text{C}$ 以上の耐熱性を有する非結晶ガラス板を用い、最初に第1の絶縁基板8の一方の面上に第1の絶縁基板8から半導体層への不純物の拡散を防ぐために厚さ $200\text{nm}$ の酸化シリコン膜をスパッタリング法により形成する。

【0033】このようにされた第1の絶縁基板8上に、シラン ( $\text{SiH}_4$ ) あるいはジシラン ( $\text{Si}_2\text{H}_6$ ) を原料として、低圧化学蒸着 (Low Pressure Chemical Vapor Deposition=LPCVD) 法により $350 \sim 550^\circ\text{C}$ の基板温度において厚さ $100\text{nm}$ の非晶質シリコン半導体層を形成し、形成された非晶質シリコン層を $570 \sim 600^\circ\text{C}$ の窒素 ( $\text{N}_2$ ) 雰囲気中で $3 \sim 48$ 時間加熱することにより、非単結晶シリコン半導体層を形成する。

【0034】次に、形成された非単結晶シリコン半導体層の不要な部分をレジスト膜を用いる通常のエッチングにより除去し、NチャンネルアイランドとPチャンネルアイランドになる部分を形成する。

【0035】このように非単結晶シリコンのアイランドが形成された絶縁基板の全体を覆って厚さ $50 \sim 200\text{nm}$ の酸化シリコン膜をスパッタリング法等により形成す

る。

【0036】次に、厚さ $100 \sim 350\text{nm}$ の非晶質シリコン層を $200 \sim 400^\circ\text{C}$ の基板温度におけるプラズマCVD法あるいは $500 \sim 600^\circ\text{C}$ の基板温度におけるLPCVD法により形成し、この非晶質シリコン層をオートリソグラフィーにより所定のパターンを形成して、ゲート電極31及び32を構成する。なお、このゲート電極は図の表又は裏において相互にあるいは他の回路に接続されている。

10 【0037】さらに、Nチャンネルアイランドのソース領域23及びドレイン領域24に対応する部分の酸化シリコン膜をパターニングにより除去し、その部分にイオン打ち込み法又はイオンドーピング法により磷 (P) を注入することにより、N型非単結晶シリコン層であるNMOSのN<sup>+</sup>ソース領域23、N<sup>+</sup>ドレイン領域24及びノンドープド非単結晶シリコン層であるゲート領域27を構成する。

20 【0038】同様にして、Nチャンネルアイランドのソース領域23及びドレイン領域24に対応する部分にホウ素 (B) を注入することによりP型非単結晶シリコン層であるPMOSのP<sup>+</sup>ソース領域23、P<sup>+</sup>ドレイン領域24及びノンドープド非単結晶シリコン層であるゲート領域27を形成する。

【0039】このようにして、NMOS及びPMOSの薄膜トランジスタが構成される。なお、CMOSの構造上NMOSのN<sup>+</sup>ドレイン領域24とPMOSのP<sup>+</sup>ドレイン領域24とは隣接して形成されている。

30 【0040】形成された薄膜トランジスタに厚さ $300 \sim 2000\text{nm}$ の酸化シリコン膜をLPCVD法等により生成して、層間絶縁膜33、34及び39を形成する。

【0041】次に、ソース領域及びドレイン領域に対応する部分の酸化シリコン膜にコンタクトホールを開孔し、アルミニウム層35、36及び37を蒸着あるいはスパッタリング法により生成し、不要な部分を除去することにより所要の電気配線を行うことにより、CMOSによるSRAMが構成され、さらに必要な付属回路を形成してメモリ回路10を構成する。

40 【0042】このようにして構成された薄膜トランジスタは、薄膜トランジスタの主な用途である液晶表示装置における薄膜トランジスタが液晶の各表示セルに対応している必要があるのに対し、メモリセルとして使用する場合にはそのような制約はないためメモリ回路を複数のブロックに分割して形成することができる。このような構成を採れば、薄膜トランジスタの製造が容易になる。

【0043】次に、太陽電池回路11の製造方法について説明する。最初に、第1の絶縁基板8の一方の面上にCr膜をスパッタリングにより形成し、この膜にフォトリソグラフィーによりパターン形成を行い、第1電極40を形成する。

【0044】次にプラズマCVD法により、まずシラン( $\text{SiH}_4$ )ガスと全体で0.1~5%に相当するホスフィン( $\text{PH}_3$ )ガスを反応室内に導入し、0.01~10 Torrの圧力で1~500Wの高周波電力を加えて厚さ10~100nmのn型非晶質シリコン層を形成する。

【0045】次に、この上にシランガスのみで厚さ50~10000nmのi型非晶質シリコン層を積層する。

【0046】さらに同様に、シランガスとシランガス全体の0.1~5%に相当するジボラン( $\text{B}_2\text{H}_6$ )ガスとシランガスの1~200%に相当するメタン( $\text{CH}_4$ )ガスにより、厚さ5~50nmのp型非晶質シリコン炭素層を積層して、pin型非晶質シリコン層41を形成する。その際、各原料ガスを水素で希釈することもできる。

【0047】このようにして、形成されたpin型非晶質シリコン層41上に透明第2電極42を形成する。pin型非晶質シリコン層41にYAGレーザーによりパターン形成したのち、透明導電材料をスパッタリングして第2電極層42を形成し、フォトリソグラフィによりパターン形成する。このパターン形成法はレーザーによるパターニングでも、メタルマスクをかぶせて成膜を行うことによってももちろんよい。

【0048】このようにして形成された太陽電池セルに、さらに太陽電池からの発電電力を安定化するための回路を形成する。

【0049】次に、厚さが5mm以下の薄型リチウム電池等の2次電池43を空所7に収納し、太陽電池回路9、メモリ回路10、2次電池43を導電部材44及び45により接続し、透明耐熱耐湿性フィルムをEVA樹脂を接着剤としてラミネートすることにより保護コート46を形成する。

【0050】以上説明した実施例においてはメモリセルをSRAM構成としたものについて説明したが、太陽電池の容量が許すならばDRAM構成を採ることも可能である。

【0051】

【発明の効果】以上の説明から明らかなように、本発明によれば太陽電池及び空所7に収納した2次電池あるいはキャパシタによりメモリ保持のための電力を供給できるから、太陽電池が発電した分装置の使用時間が長くなるとともにメモリを薄膜トランジスタで構成し太陽電池と一体としたから、装置の容積を拡大することなくメモ

リの大容量化を達成することができる。

【0052】また、本発明によるメモリは容量が大きいから、大きなメモリ容量を必要とする辞書等を記憶させておくには最適である。

【図面の簡単な説明】

【図1】本発明を適用したノート型パーソナル・コンピュータの外観斜視図。

【図2】蓋体の内部構成の概要図。

【図3】薄膜トランジスタの構造図。

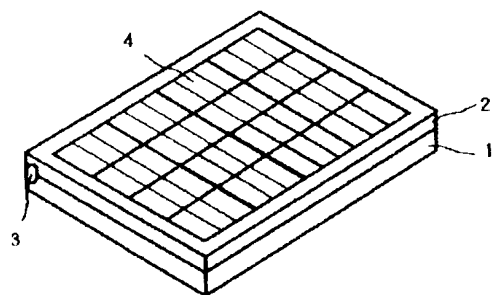
【図4】太陽電池の構造図。

【図5】メモリ部の部分構造図。

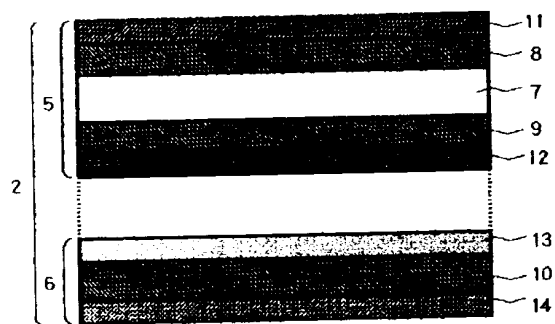
【符号の説明】

- 1 本体
- 2 蓋体
- 3 取り付け部
- 4 太陽電池
- 5 メモリ部
- 6 表示部
- 7 空所
- 8 第1の絶縁基板
- 9 第2の絶縁基板
- 10 第3の絶縁基板
- 11 太陽電池回路
- 12 メモリ回路
- 13 液晶表示駆動回路
- 14 液晶表示装置
- 21 NチャンネルMOS
- 22 PチャンネルMOS
- 23, 24  $\text{N}^+$ 層
- 25, 28 チャンネル
- 26, 27  $\text{P}^+$ 層
- 29, 30 ゲート酸化膜
- 31, 32 ゲート層
- 33, 34, 38, 39 層間絶縁膜
- 35, 36, 37 アルミニウム層
- 40 第1電極
- 41 pin非晶質シリコン層
- 42 第2電極
- 43 2次電池
- 44, 45 導電部材
- 46 保護コート

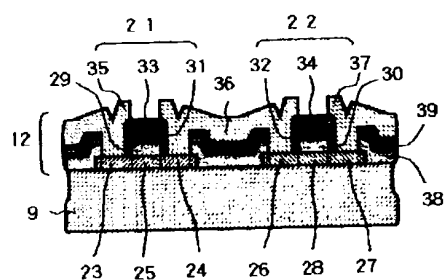
【図1】



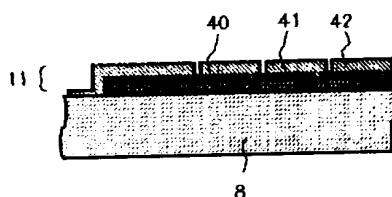
【図2】



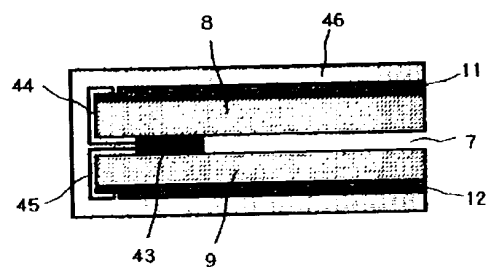
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl.<sup>5</sup>  
H02J 1/00

識別記号 片内整理番号  
304 E 7373-5G

F I

技術表示箇所